


BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

 **Aktenzeichen:** 102 58 094.4

Anmeldetag: 11. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Ausbildung von 3-D Strukturen
auf Wafern

IPC: H 01 L 21/60

 **Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 14. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag


Stark



5 Verfahren zur Ausbildung von 3-D Strukturen auf Wafern

Die Erfindung betrifft ein Verfahren zur Ausbildung von 3-D
Strukturen auf Wafern in Form von auf dem Wafer verteilt ange-
10 ordneten Bumps, die jeweils über eine Leitbahn mit einem Bond
Pad auf dem Wafer elektrisch verbunden sind, indem die 3-D
Strukturen sowie die Leitbahn durch fotolithographische Prozesse
mittels einer Photoresistmaske, die durch Belichten und Ent-
wickeln strukturiert wurde und durch nachfolgenden Schichtauf-
15 bau durch Metallisieren realisiert werden.

Die zunehmende Integration von Halbleiterbauelementen und die
stetig steigende Anzahl elektrischer Verbindungen zwischen Wa-
fern und deren Trägerelementen und insbesondere die erforderli-
20 che Miniaturisierung im Sinne von möglichst flachen Baugruppen,
hat zum Einsatz der direkten Kontaktierung der Halbleiterchips
auf den Trägerelementen (z.B. Flip-Chip Bonden) geführt.

Um jedoch eine direkte Kontaktierung von Halbleiterchips auf
25 Trägerelementen, wie einem PCB (Printed Circuit Board), zu er-
möglichen, ist es erforderlich, auf dem Halbleiterchip 3-D
Strukturen herzustellen, die auf ihrem jeweils höchsten Punkt
in einem vergoldeten Kontaktelement enden und über eine Leit-
bahn mit einem Bond Pad des Wafers verbunden sind. Diese ver-
30 goldete Kontaktfläche kann dann mit einem Lotmaterial versehen
und mit einem entsprechenden Lötkontakt auf dem PCB elektrisch
und mechanisch verbunden werden.

Um einen gewissen Ausgleich von mechanischen Belastungen der
35 fertigen Baugruppe, z.B. verursacht durch unterschiedliche
thermische Ausdehnungskoeffizienten der einzelnen Komponenten,

oder bei deren Handhabung, zu erreichen, kann die Grundstruktur der 3-D Struktur aus einem nachgiebigen Material, z.B. Silicon, hergestellt werden, so dass eine dreidimensionale, mechanisch flexible Struktur entsteht, die mit dem Wafer fest verbunden ist.

Die für die elektrische Verbindung zwischen dem Bond Pad und der 3-D Struktur verwendeten Leitbahnen (Reroute Layer) werden auf einer Seed Layer (Keimschicht) aufgebaut, auf der eine Cu-Leitbahn und darüber eine Ni-Schicht aufgewachsen ist, die dem Schutz der Cu-Schicht vor Korrosion dient.

Um eine Lötbarkeit des Kontaktelementes zu erreichen, muss die Ni-Schicht in diesem Bereich zumindest auf der Spitze der 3-D Struktur mit Gold beschichtet werden.

Üblicherweise wird die notwendige Strukturierung sämtlicher Schichten und Funktionselemente durch fotolithographische Prozesse realisiert.

Die Strukturierung der Funktionselemente erfolgt nach der Abscheidung eines Fotoresists auf dem Wafer, z.B. durch Dispensen oder Drucken und nachfolgender Belichtung und Entwicklung desselben, so dass eine Resistmaske entsteht. Danach kann innerhalb der Öffnungen der Resistmaske auf der Seed Layer eine Metallisierung aus Cu, Ni und Au aufgebaut werden. Nachfolgend muss die Goldschicht durch eine Lithographie partiell so abgedeckt werden, dass eine selektive Ätzung der nicht erwünschten Bereiche der Goldschicht erfolgen kann und zum Schluss nur noch eine Goldschicht auf der Spitze der 3-D Struktur übrig bleibt.

Dieses Verfahren lässt sich zusammengefasst mit folgendem Prozessfluss darstellen:

- 35 - Abscheidung der Seed Layer
- EPRI (Epoxy Photoresist 1): Beschichten und Strukturieren

der EPR1 Photoresistmaske

(Lithographieschritt 1)

- Reroute plating, Herstellen der Cu/Ni-Schicht auf der Seed Layer
- 5 - Beschichten der Reroute Layer mit Au
- EPR2 (Epoxy Photoresist 2): Beschichten und Strukturieren der EPR2 Photoresistmaske (Lithographieschritt 2)
- selektives Ätzen der Au-Schicht
- 10 (Nassätzen oder Abtragen/Strippen)

Bei diesem Verfahren ist das Aufbringen des Photoresists wegen der 3-D Strukturen auf dem Wafer sehr problematisch. Die Ausbildung der 3-D Strukturen auf dem Wafer führt zu einer stark zerklüfteten Oberfläche, so dass beim Auftragen eines Photoresists durch die üblichen Beschichtungsverfahren, wie Drucken oder Dispensen, nicht sichergestellt werden kann, dass die Dicke des aufgetragenen Photoresists ungeachtet der Struktur der Waferoberfläche an jedem Punkt der Oberfläche gleich ist. So muss beispielsweise damit gerechnet werden, dass der Photoresist zumindest teilweise von den 3-D Strukturen herabläuft und somit im Ergebnis auf den 3-D Strukturen eine zu geringe Dicke besitzt. Auch muss damit gerechnet werden, dass der Photoresist Vertiefungen auf dem Wafer gleichmäßig ausfüllt, also ausgleicht, so dass im Bereich der Vertiefungen eine größere Dicke des Photoresists zu verzeichnen ist.

Um jedoch mit der Photolithographie auf dem Wafer Strukturen herstellen zu können, die für nachfolgende Bearbeitungsschritte, z.B. die Metallisierung, geeignet sind, muss sichergestellt werden, dass der Photoresist nach dem Auftragen auf dem Wafer der Struktur folgend möglichst gleichmäßig mit gleicher Dicke verteilt ist. Das ist, wie bereits dargestellt, bei 3-D Strukturen besonders schwierig. Müssen mehrere photolithografische Schritte nacheinander ausgeführt werden, vervielfachen sich die Probleme.

Dieses Problem bestand in ähnlicher Weise auch bei der fotolithografischen Strukturierung von gedruckten Leiterplatten (PCB). Das Beschichten mit einem Resist erfolgt durch galvanisches Auftragen eines elektrophoretischen Resists, wobei hier
5 die gesamte Leiterplatte senkrecht in den elektrophoretischen Resist gehängt wird. Dies ist notwendig, um zu verhindern, dass das unvermeidliche Ausgasen von Wasserstoff während des Beschichtungsvorganges zu Störungen der Beschichtung (Pinholes)
10 führt. Da aber unbedingt vermieden werden muss, dass die Rückseite der Leiterplatte ebenfalls mit dem Resist beschichtet wird, wird die Rückseite der Leiterplatte vor dem Beschichten mit Hilfe einer Folie o. dgl. abgedeckt.

15 Es hat sich allerdings gezeigt, dass die Übertragung dieses Verfahrens auf die Strukturierung von 3-D Strukturen und Reroute Layer auf Wafern in dieser Weise nicht geeignet ist, da es praktisch kaum möglich ist, die Wafer senkrecht in einen elektrophoretischen Resist zu hängen und gleichzeitig eine Beschichtung der Waferrückseite zu verhindern.
20

Der Erfindung liegt nunmehr die Aufgabe zugrunde, ein Verfahren zur Ausbildung von 3-D Strukturen auf Wafern zu schaffen, das einfach und sicher zu realisieren ist und mit dem über der
25 Oberfläche des Wafers eine gleichmäßige Beschichtung mit vollkommen gleichmäßiger Schichtdicke erreicht wird.

Die der Erfindung zugrundeliegende Aufgabenstellung wird bei einem Verfahren der eingangs genannten Art dadurch gelöst, dass
30 als Photoresist ein elektrophoretischer Resist verwendet wird und die Beschichtung des Wafers mit dem elektrophoretischen Resist durch Eintauchen der aktiven Seite des Wafers in den diesen, sowie nachfolgendes Anlegen einer elektrischen Spannung zwischen dem Wafer und dem elektrophoretischen Resist vorgenommen wird.
35

Überraschender Weise hat sich gezeigt, dass es möglich ist, das Wafer mit der aktiven Seite in den elektrophoretischen Resist einzutauchen und durch Anlegen einer elektrischen Spannung die gewünschte Beschichtung mit dem Photoresist vorzunehmen. Insbesondere hat sich gezeigt, dass selbst kleinste Strukturen auf dem Wafer mit gleichmäßiger Schichtdicke beschichtet werden.

Bevorzugt erfolgt das Eintauchen der aktiven Seite des Wafers in den EPR in horizontaler Anordnung des Wafers. Dadurch wird eine weitgehend gleichmäßige Verteilung der Wasserstoffbläschen über der Fläche des Wafers erreicht.

Weiterhin wird die Waferrückseite während des Eintauchens in den EPR vor einer Benetzung geschützt, was einfach durch geeignete Aufnahmevorrichtungen und eine exakte Positionierung während des Eintauchvorganges möglich ist.

Um zu verhindern, dass sich die Gasbläschen auf der Oberfläche des Resists während der Schichtabscheidung festsetzen, kann das Wafer während des Beschichtungsvorganges in den EPR in Rotation versetzt werden.

Eine andere Möglichkeit besteht darin, zumindest unterhalb des Wafers eine Strömung im elektrophoretischen Resist zu erzeugen, so dass die Gasbläschen von der Oberfläche des Resists weg transportiert werden.

Eine günstige Alternative besteht darin, den elektrophoretische Resist im Bereich der Oberfläche des Wafers in eine Rotation zu versetzen, die einfach durch ein Rührwerk erzeugt werden kann. Auch dadurch können die Gasbläschen von der Oberfläche des Resists entfernt werden.

In einer weiteren Ausgestaltung der Erfindung wird das Wafer nach dem Beschichten mit dem elektrophoretischen Resist in horizontaler Lage entnommen und die Beschichtung durch eine ther-

misch Behandlung, beispielsweise Backen oder Tempern, fertiggestellt. Dadurch erhält die Beschichtung eine hinreichend feste Konsistenz bei Beibehaltung der gleichmäßigen Schichtdicke, so dass das Wafer herumgedreht und weiter bearbeitet werden
5 kann.

Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

10 Fig. 1a: eine Schnittdarstellung eines Ausschnittes einer mit einer Seed Layer beschichteten 3-D Struktur auf einem Wafer;

Fig. 1b: die Draufsicht auf die 3-D Struktur nach Fig. 1a;

15 Fig. 2a: einen Ausschnitt des mit einem elektrophoretischen Resist beschichteten Wafers;

Fig. 2b: die Draufsicht auf das Wafer nach Fig. 2a;

20 Fig. 3a: einen Ausschnitt des Wafers nach der fotolithografischen Strukturierung des elektrophoretischen Resists und der Metallisierung der Leitbahn;

25 Fig. 3b: die Draufsicht auf das Wafer nach Fig. 3a;

Fig. 4a: einen Ausschnitt des Wafers nach der Au-Abscheidung auf der Leitbahn;

30 Fig. 4b: die Draufsicht auf das Wafer nach Fig. 4a;

Fig. 5a: einen Ausschnitt des Wafers nach dem Strippen des elektrophoretischen Resists und dem Ätzen der Seed Layer; und

35

Fig. 5b: die Draufsicht auf das Wafer nach Fig. 5a.

In den Fig. 1a, b ist ein Ausschnitt eines Wafers 1 dargestellt, bei dem auf dem Wafer 1 ein nachgiebiges Element 2 als Grundelement der herzustellenden 3-D Struktur 3 befestigt ist.

5 Zur Vorbereitung der nachfolgenden Metallisierung befindet sich auf dem Wafer und dem nachgiebigen Element 2 eine Seed Layer 4. Um die Metallisierung an den notwendigen Stellen auf dem Wafer 1 vornehmen zu können, wird ein elektrophoretischer Resist 5 auf dem Wafer 1 aufgebracht. Die Beschichtung des Wafers 1 kann

10 durch Eintauchen der aktiven Seite des Wafers in den in einem Behälter befindlichen elektrophoretischen Resist und nachfolgendes Anlegen einer elektrischen Spannung zwischen dem Wafer 1 und dem elektrophoretischen Resist im Behälter vorgenommen werden. Da mit zunehmender Schichtabscheidung auf dem Wafer

15 gleichzeitig der elektrische Widerstand zunimmt, wird die Beschichtung nach Erreichen eines ausreichenden hohen Widerstandes selbsttätig getoppt.

Das Eintauchen der aktiven Seite des Wafers 1 in den elektrophoretischen Resist erfolgt in horizontaler Lage des Wafers 1.

20 Dadurch wird während der Beschichtung eine weitgehend gleichmäßige Verteilung der Wasserstoffbläschen über der Fläche des Wafers 1 erreicht. Weiterhin muss die Rückseite des Wafers während des Beschichtungsvorganges vor einer Benetzung geschützt

25 werden, was einfach durch geeignete Aufnahmevorrichtungen und eine exakte Positionierung während des Eintauchvorganges erreicht werden kann.

Um ein Festsetzen der Gasbläschen auf der Oberfläche des Resists 5 während der Schichtabscheidung zu verhindern, kann das Wafer 1 während des Beschichtungsvorganges in Rotation versetzt werden. Eine vergleichbare Wirkung wird erreicht, wenn zumindest unterhalb des Wafers 1 eine Strömung im elektrophoretischen Resist zu erzeugt wird, so dass die Gasbläschen von der

35 Oberfläche des abgeschiedenen Resists 5 weg transportiert werden. So könnte der elektrophoretische Resist im Bereich der

Oberfläche des Wafers 1 in eine Rotation versetzt werden, was durch ein Rührwerk auf einfache Weise erzeugt werden kann.

Mit der galvanischen Beschichtung des Wafers 1 wird eine vollkommen gleichmäßige Beschichtung mit dem Resist 5 auch auf den 3-D Strukturen erreicht. Da der Resist nach dem Beschichten noch keine ausreichende Festigkeit besitzt, ist es erforderlich, diesen durch eine thermische Behandlung, beispielsweise durch Backen oder Tempern, zu stabilisieren. Dadurch erhält der Resist 5 auf dem Wafer 1 eine hinreichend feste Konsistenz bei Beibehaltung der gleichmäßigen Schichtdicke, so dass das Wafer 1 herumgedreht und weiter bearbeitet werden kann (Fig. 2a, b).

Im Anschluss an die Beschichtung des Wafers 1 mit dem Resist 5 kann denn die weitere Strukturierung zunächst des Resists 5 durch die übliche Fotolithografie erfolgen, um eine Resistmaske für die nachfolgenden Metallisierungsschritte zu erzeugen. Aus Fig. 3a, b ist die fertiggestellte Resistmaske ersichtlich, wobei bereits eine Cu-Schicht 6 auf der Seed layer 4 und darüber eine Ni-Schicht 7 mittels allgemein bekannter Verfahren abgeschieden worden ist.

Im Unterschied zu Fig. 3a, b zeigt Fig. 4a, b die mit einer Au-Schicht 8 komplettierte Reroute Layer.

Im letzten Verfahrensschritt werden die nicht mehr benötigten Schichten entfernt. Das sind der Resist 5 der Resistmaske, der durch Strippen beseitigt werden kann und die Seed Layer 4, die durch Nassätzen entfernt wird.

5 Verfahren zur Ausbildung von 3-D Strukturen auf Wafern

Bezugzeichenliste

- | | | |
|----|---|----------------------------|
| | 1 | Wafer |
| 10 | 2 | nachgiebiges Element |
| | 3 | 3-D Struktur |
| | 4 | Seed Layer |
| | 5 | elektrophoretischer Resist |
| | 6 | Cu-Schicht |
| 15 | 7 | Ni-Schicht |
| | 8 | Au-Schicht |
| | 9 | Reroute Layer |

5 Verfahren zur Ausbildung von 3-D Strukturen auf Wafern

Patentansprüche

1. Verfahren zur Ausbildung von 3-D Strukturen auf Wafern in
10 Form von auf dem Wafer verteilt Bumps, die jeweils über eine
Leitbahn mit einem Bond Pad auf dem Wafer elektrisch verbunden
sind, indem die 3-D Strukturen und die Leitbahnen durch fotoli-
thographische Prozesse mittels einer Photoresistmaske, die
15 durch Belichten und Entwickeln strukturiert wurde sowie durch
nachfolgenden Schichtaufbau durch Metallisieren, realisiert
werden, d a d u r c h g e k e n n z e i c h n e t, dass als
Photoresist ein elektrophoretischer Resist (5) verwendet wird
und die Beschichtung des Wafers (1) mit dem elektrophoretischen
20 Resist (5) durch Eintauchen der aktiven Seite des Wafers (1) in
den diesen, sowie Anlegen einer elektrischen Spannung zwischen
dem Wafer (1) und dem elektrophoretischen Resist (5) vorgenom-
men wird.

2. Verfahren nach Anspruch 1, d a d u r c h
25 g e k e n n z e i c h n e t, dass das Eintauchen der aktiven
Seite des Wafers (1) in den elektrophoretischen Resist (5) in
horizontaler Anordnung des Wafers (1) erfolgt.

3. Verfahren nach Anspruch 2, d a d u r c h
30 g e k e n n z e i c h n e t, dass die Rückseite des Wafers (1)
während des Eintauchens in den elektrophoretischen Resist (5)
einer Benetzung geschützt wird.

4. Verfahren nach den Ansprüchen 1 bis 3, d a d u r c h
35 g e k e n n z e i c h n e t, dass das Wafer (1) während des Be-

schichtungsvorganges in Rotation versetzt wird.

5. Verfahren nach den Ansprüchen 1 bis 3, d a d u r c h
g e k e n n z e i c h n e t, dass zumindest unterhalb des Wa-
5 fers (1) im elektrophoretischen Resist (5) eine Strömung er-
zeugt wird.

6. Verfahren nach Anspruch 5, d a d u r c h
g e k e n n z e i c h n e t, dass der elektrophoretische Resist
10 (5) im Bereich der Oberfläche des Wafers (1) in eine Rotation
versetzt wird.

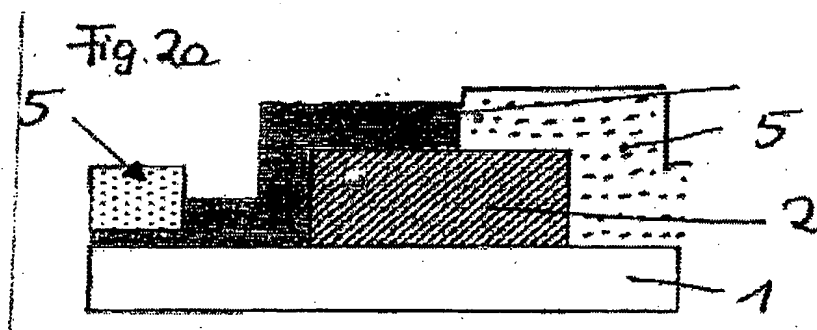
7. Verfahren nach Anspruch 6, d a d u r c h
g e k e n n z e i c h n e t, dass die Rotation des elektropho-
15 retischen Resists (5) durch ein Rührwerk erzeugt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7, d a d u r c h
g e k e n n z e i c h n e t, dass das Wafer (1) nach dem Be-
schichten mit dem elektrophoretischen Resist (5) in horizonta-
20 ler Lage entnommen und Beschichtung thermisch gebacken wird.

5 **Verfahren zur Ausbildung von 3-D Strukturen auf Wafern**

Zusammenfassung

Der Erfindung, die ein Verfahren zur Ausbildung von 3-D-
10 Strukturen auf Wafern in Form von auf dem Wafer verteilt an-
 geordneten Bumps betrifft, die jeweils über eine Leitbahn
 mit einem Bondpad auf dem Wafer elektrisch leitend verbunden
 sind, in dem die 3-D-Strukturen sowie die Leitbahn durch
 photolithografische Prozesse mittels einer Photoresistmaske,
15 die durch Belichten und Entwickeln strukturiert wurde und
 durch nachfolgenden Schichtaufbau durch Metallisierung rea-
 lisiert werden, liegt die Aufgabe zugrunde, ein Verfahren
 zur Ausbildung von 3-D-Strukturen auf Wafern zu schaffen, das
 einfach und sicher zu realisieren ist und mit dem über die
20 Oberfläche des Wafers eine gleichmäßige Beschichtung mit
 vollkommen gleichmäßiger Schichtdicke erreicht wird.
 (Fig. 2a)



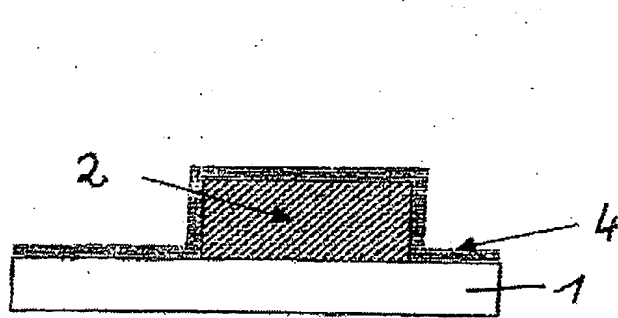


Fig. 1a

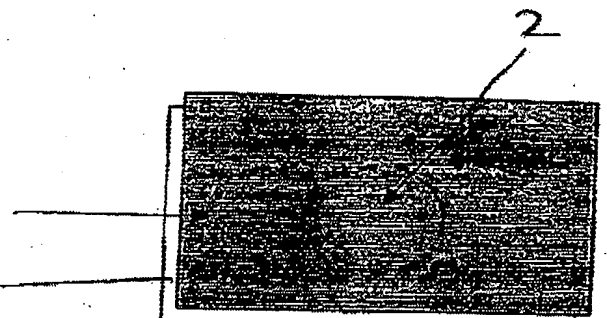


Fig. 1b

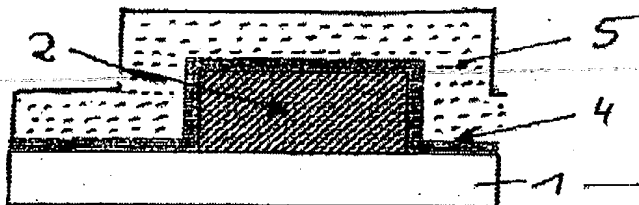


Fig. 2a

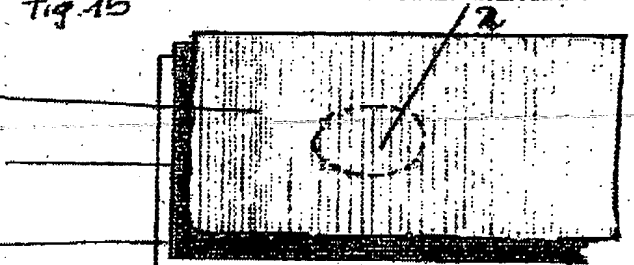


Fig. 2b

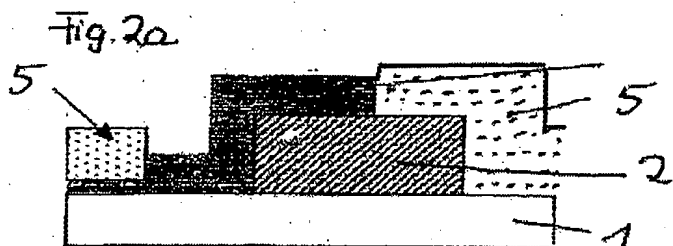


Fig. 3a

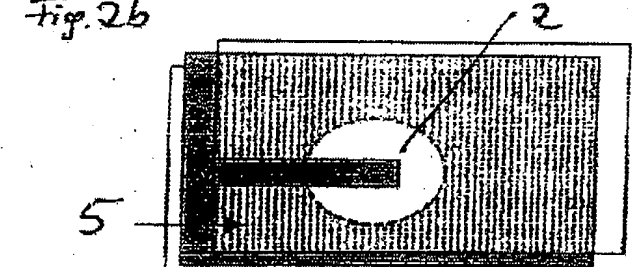


Fig. 3b

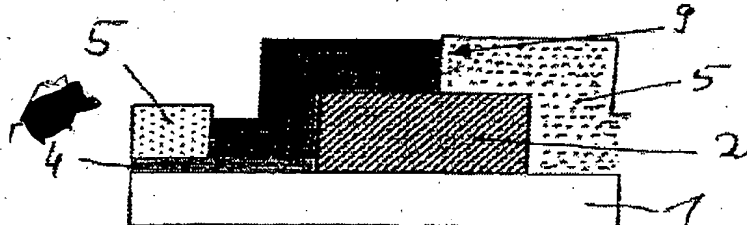


Fig. 4a

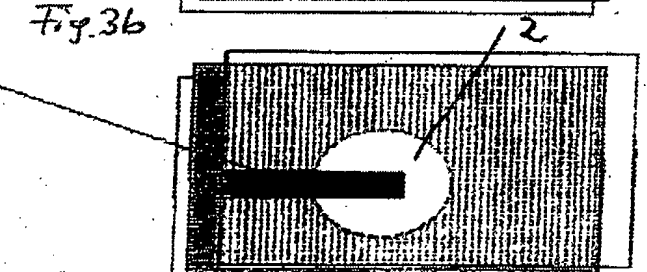


Fig. 4b

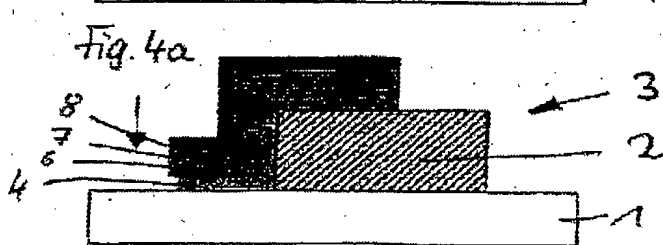


Fig. 5a

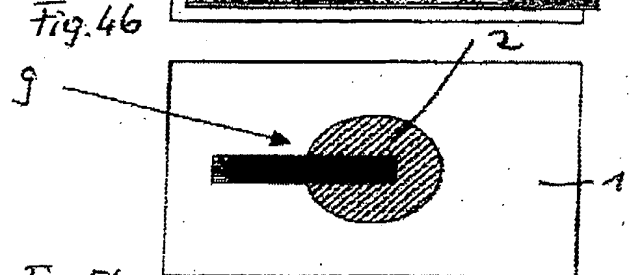


Fig. 5b